

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-309243

(43)Date of publication of application : 04.11.1994

(51)Int.Cl.

G06F 13/00

G06F 3/00

(21)Application number : 06-058137

(71)Applicant : HEWLETT PACKARD CO <HP>

(22)Date of filing : 03.03.1994

(72)Inventor : BROWN PRESTON D

(30)Priority

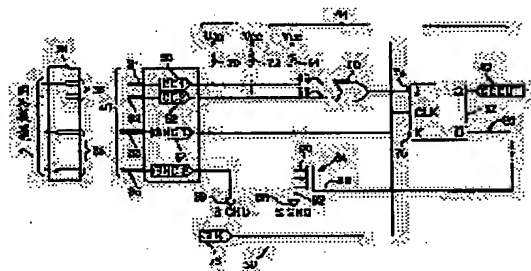
Priority number : 93 43647    Priority date : 06.04.1993    Priority country : US

## (54) DEVICE AND METHOD FOR PREVENTING SIGNAL CORRUPTION ON COMMON TRANSMISSION LINE

(57)Abstract:

**PURPOSE:** To prevent the corruptive deterioration of a signal on a common bus which is caused when a peripheral device is connected to or disconnected from a computer system by detecting the starting motion of the peripheral device before the peripheral device is electrically connected to or disconnected from the common bus and temporarily disabling the common bus during the connection or disconnection of the peripheral device in response to the detection.

**CONSTITUTION:** A common bus control circuit 30 includes an input terminal 40, an output terminal 42, and a detecting circuit 44 which is connected between both the terminals 40 and 42. The detecting circuit 44 detects the peripheral device being connected or disconnected and the peripheral device while connected or disconnected supplies the output terminal 42 with a system interruption signal to the computer system. Namely, when the peripheral device is connected or disconnected, a JK flip-flop 62 provides the interruption signal for output Q according to J input and K input. Thus, the signal is generated in response to the detecting circuit 44 and the common bus is temporarily disabled during the connection or disconnection of the peripheral circuit.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

[decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-309243

(43)公開日 平成6年(1994)11月4日

(51)Int.Cl.<sup>5</sup>

G 0 6 F 13/00  
3/00

識別記号

3 0 1 D  
B

庁内整理番号

7368-5B  
7165-5B

F I

技術表示箇所

審査請求 未請求 請求項の数 1 F D (全 8 頁)

(21)出願番号 特願平6-58137

(22)出願日 平成6年(1994)3月3日

(31)優先権主張番号 0 4 3, 6 4 7

(32)優先日 1993年4月6日

(33)優先権主張国 米国(US)

(71)出願人 590000400

ヒューレット・パッカード・カンパニー  
アメリカ合衆国カリフォルニア州パロアル  
ト ハノーバー・ストリート 3000

(72)発明者 プレストン・ディー・ブラウン  
アメリカ合衆国オレゴン州、ユージン ビ  
アス 2597

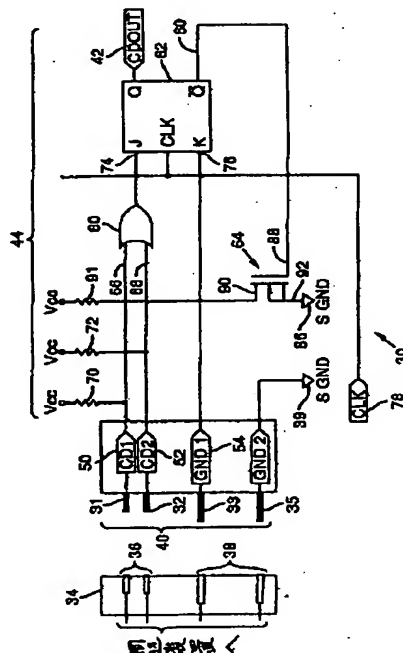
(74)代理人 弁理士 遠藤 恭

(54)【発明の名称】 共通伝送線路上の信号汚損防止装置及び方法

(57)【要約】

【目的】 コンピュータシステムに周辺装置を接続あるいは切り離す場合に生ずる共通バス上の信号の汚損劣化を防止する装置および方法を提供する。

【構成】 本発明の一実施例によれば、周辺装置がバスに電気的に接続あるいは切り離される前に、周辺装置の初期の動きが検出器により検出され、該検出器の出力に基づいて、信号発生器が、かかる初期の動きを示す警告信号を発生する。



1

## 【特許請求の範囲】

【請求項1】周辺装置の接続あるいは切り離しに起因するコンピュータシステムの共通バス上の信号の劣化を防止する装置であって、前記周辺装置が前記共通バスに対して電氣的に接続されるあるいは切り離される前に前記周辺装置の最初の動きを検出する検出器と、前記検出器の出力にตอบสนองしてかかる最初の動きを表わす信号を発生して前記周辺装置の接続あるいは切り離し時に前記共通バスを一時的に不能にする信号発生器と、を備えて成る装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明はコンピュータシステムへの周辺装置の接続あるいは切り離しに起因する信号汚損劣化を防止する技術に関する。より詳細には、本発明は始めにコンピュータをオフすることを必要とせずにコンピュータへの周辺装置の接続あるいは切り離しを可能にする方法と装置に関する。

## 【0002】

【従来の技術】コンピュータシステムは中央処理装置（CPU）、メモリ、ディスクドライブ、ビデオコントローラおよびディスクコントローラ、プリンタ、ビデオモニターといった多数の構成要素からなる。システム構成に応じて、CPUおよびCPUと直接接続された構成要素を広くコンピュータと呼んでいる。共通あるいは共有バスを介してCPUと通信する他の構成要素は周辺装置とみなされる。共通バスは複数の周辺装置がコンピュータとの単一の相互接続を共有することを可能にすることによってコンピュータシステムのコストを低減する。このバス自体はデータ、アドレス、および制御信号のコンピュータと周辺装置間でのやりとりを可能にする多数の導電性のバスあるいは線からなっている。共通バスの例としては、STDバス、VMEバスおよびIBM互換パーソナルコンピュータ用のISAバス等がある。

【0003】通常、周辺装置はコンピュータシステムがオフ状態にあるときシステムへの接続や切り離しを行なう。これによって、過渡的な信号すなわち“グリッチ”が活動状態のバス上に現われ、そのバス上を移動する他の周辺装置からの信号の完全性を損なうことを防止している。一方で、周辺装置を活動状態のバスに接続するとこのバス上の信号が一時的に変化してその信号の含む情報が劣化されるおそれがある。同様に、周辺装置を活動状態のバスから突然切り離すと、このバス上の信号を劣化するおそれがある。

【0004】ノート型、バームトップ型その他の小型コンピュータの出現によって、かかるコンピュータに接続することのできる小型軽量の周辺装置に対する需要が発生した。このような需要に応えるために、コンピュータ業界ではクレジットカードの大きさの周辺装置を携帯型

2

コンピュータに接続するためのパーソナルコンピュータメモリカードアダプター（PCMCIA）規格として知られる標準周辺装置コネクタ型式を採用した。メモリ、ディスクドライブ、モデム等の周辺装置はカードをコンピュータのスロットに挿入するだけで接続される。より大型のコンピュータシステムの場合と同様に、周辺装置とコンピュータはコストを低減するために共通バスによって接続される。しかし、かかる小型コンピュータにおいては、そのサイズが小さいためスロット数が限られ、すべての必要な周辺装置を一度に接続することができないことも多い。たとえば、より多くのメモリが必要になったり、他のカードに記憶されたプログラムをアクセスする必要が生じたとき、ユーザーはカードを取り替える必要がなくなることがある。このようなとき、周辺装置を取り替えるためにコンピュータをオフすることは、不便であり、またコンピュータのメモリに現在存在しているデータを失う可能性があるため、混乱のもととなる。一方、周辺装置の交換の間コンピュータをオン状態すなわち活動状態のままにしておくと、共通バス上の信号の劣化が発生する恐れがある。

【0005】このジレンマに対する明快な解決法は、このバスの各周辺装置コネクタに保護回路を追加してこのバスを周辺装置の接続あるいは切り離しの間周辺装置から絶縁しておくことである。しかし、この解決法は実用的ではない。各PCMCIAコネクタはたとえば62の線を有し、そのそれぞれを保護しなければならない。したがって多数のコネクタに対して必要になる追加コストとスペースは小型コンピュータには許容されないものである。

## 【0006】

【発明が解決しようとする課題】したがって、本発明の目的は、周辺装置を接続あるいは切り離している間、活動中のコンピュータシステム中の信号の劣化を防止するための効率のよい方法と装置を提供することである。特に、本発明の目的は、コンピュータと頻繁に交換しなければならない複数の周辺装置の間の通信を行なうための共通バスを用いる小型コンピュータ用のかかる方法と装置を提供することである。

## 【0007】

【課題を解決するための手段】本発明による装置は検出器と信号発生器を有する。この検出器は周辺装置が共通バスに対して電氣的に接続あるいは切り離される前の周辺装置の最初の動きを検出する。信号発生器はこの検出器にตอบสนองしてかかる最初の動きを示す信号を生成してこの周辺装置の接続あるいは切り離し中共通バスを一時的に不能にすることを可能にする。ここに開示する実施例では、この周辺装置は複数のコネクタを有し、検出器はかかるコネクタにおいて周辺装置の動きを検出するように構成されている。ここに開示する信号発生器は順序論理を有する。

【0008】本発明はPCMCIAカードのように短いコネク

10

20

30

40

50

タ、中間のコネクタ、長いコネクタというように長さの異なるコネクタを有する周辺装置の接続あるいは切り離しに起因する共通バス上の信号の劣化を防止するのに特に適している。かかる環境において、この検出器は中間のコネクタが共通バスに電氣的に接触する前に長いコネクタの存在を電氣的に検出するようになっている。またこの検出器は中間のコネクタが共通バスから切り離される前に短いコネクタの不在を電氣的に検出するようになっている。次に、信号発生器がかかる存在あるいは不在を示す信号を生成して、中間のコネクタが共通バスに電氣的に接触するあるいは共通バスから電氣的に切り離される間共通バスを一時的に不能にすることを可能にしている。

【0009】したがって、本発明の信号劣化防止法は2つのステップ、すなわち周辺装置が共通バスに接続されるかあるいは共通バスから切り離される前に周辺装置の最初の動きを検出するステップ、およびこの検出に応じてかかる最初の動きを示す信号を生成してその周辺装置の接続あるいは切り離し中に共通バスを一時的に不能にすることを可能にするステップからなる。本発明の以上の目的、特徴および利点またその他の目的、特徴および利点は添付図面を参照して行なう以下の実施例の詳細な説明からより明らかになるであろう。

【0010】

【実施例】

装置：図1は共通バス12を有するコンピュータシステム10のアーキテクチャのブロック図である。このアーキテクチャはバームトップコンピュータに用いられる共通バスの図を示し、また本発明を実施することのできる種類のコンピュータシステム10の一例として用いられる。コンピュータシステム10は中央処理装置（CPU）14、システムRAM 16、システムコントローラ18、およびシステムRAM 16、CPU 14、およびシステムコントローラ18を接続するローカルデータバス20を有する。システムコントローラ18に周辺装置を接続するために、このコンピュータシステムはいくつかのカードポート22と周辺装置コントローラ24とに接続された共通バス12を有する。この図はPCMCIA規格に適合した周辺装置に適合させたバームトップコンピュータのアーキテクチャを示すため、このシステムはメモ리카ードやPCMCIA規格に適合した他のカードに適合させたカードポート22と呼ばれる周辺装置コネクタを有する。周辺装置コントローラ24はPCMCIA適合の装置のためのカードポート22に加えて任意の数の周辺装置を共通バス12に結合することができることを示すために、周辺装置コントローラ24が共通バス12に結合されている。たとえば、周辺装置コントローラ24はスピーカ制御26、マウスおよびキーボード用のインターフェース28、およびシリアルおよびパラレルポートを提供することのできる集積回路チップに内蔵されている。

【0011】図2は本発明の共通バス制御回路30の概略

図である。この共通バス制御回路は少なくとも1つの入力端子40、出力端子42、および入力端子と出力端子の間に結合された検出回路44を含む。検出回路44は入力端子40において周辺装置の接続あるいは切り離しを検出し、後述するように、周辺装置が接続あるいは切り離し中であるとき、出力端子42にコンピュータへのシステム割り込み信号を提供する。

【0012】本発明の実施例において、共通バス制御回路30は図1のシステムコントローラ18内に配置されており、各カードポート22において共通バス12に結合されている。カードポート22はそれぞれ共通バス12、したがって共通バス制御回路30への周辺装置への接続のための1組のピンを有する。共通バス制御回路30の入力端子40は周辺装置を共通バス制御回路30に動作可能に接続するためにカードポート22のピンに結合されている。

【0013】PCMCIA型式においては、カードポート22のピンはPCMCIA周辺装置カード上のめすコネクタに係合する3つの異なる長さを有する。4つのアースピンは周辺装置の接続中の最初の接触が確実にこれらのアースピンによって発生するように最も長くなっている。PCMCIAに適合した典型的なシステムにおいては、この4つの長いアースピンはそれぞれこのコンピュータシステムのシステムアースに結合されている。これらのアースピンの対応するめすレセプタクルはそれぞれPCMCIAフォーマットにしたがって設計された周辺装置中で相互接続されている。周辺装置がカードポートに最初に接触するとき、アースピンはコンピュータシステム中の電圧スパイクに影響されやすい部品に対する静電放電保護を提供する。カードの存在を示すようになされた2つのカード検出ピンCD1およびCD2は、これら2つのピンがメモ리카ードあるいはカード状の周辺装置コネクタに接触するときカードがカードポートに完全に入るように最も短くなっている。それ以外のピンはアースピンとカード検出ピンの中間の均一な長さになっている。

【0014】本発明の一実施例において、共通バス制御回路30の入力端子40は2つのカード検出ピンCD131、CD232および1つのアースピンGND1 33に結合されている。図2はめすレセプタクルを有する周辺装置コネクタ34とカードポートの対応するピンを示す。説明を簡単にするために、図2には2つのカード検出ピンCD131、CD232、2つのアースピンGND1 33、GND2 35および対応するめすレセプタクル36、38のみを示す。アースピンGND1 33は通常のPCMCIA適合システムの場合のようにシステムアースに直接結合されていない。そのかわりに、アースピンGND1 33は検出回路44に結合されている。図2はまたシステムアースSQND 39に接続されて周辺装置へのシステムアースを提供する別のアースピンGND2 35を示す。周辺装置コネクタのカード検出レセプタクル36とアースレセプタクル38は、カードポートに完全に接続されたときそれぞれがシステムアースに結合されるようにそれぞれ

れ周辺装置内で結合することができる。入力端子をこのように接続することはPCMCIA規格に適合した装置に対して好適である。しかし、共通バス制御回路30はさまざまな周辺装置コネクタ型式に適合させることができる。ここに説明する態様で動作するためには、本発明の実施例は2つの異なる場合に電氣的接触および切り離しを行なう周辺装置コネクタと連動しなければならない。コネクタピンの長さを変えることによって、共通バス制御回路30は周辺装置の動きによってバス上に無効データが導かれる前に中央CPU 14への割り込みを行なうことができる。本発明は必ずコネクタピンを有するコンピュータシステムには限定されない。本発明には必ずコネクタあるいは必ずコネクタのいずれを用いてもよく、また、嵌合するコネクタ対を必ずのピンがコンピュータシステムあるいは周辺装置に結合されるように構成することができる。

【0015】図2に戻って、入力端子40は第1、第2および第3の入力端子50、52および54を有する。端子50および52はカードポート等の周辺装置コネクタの2つのカード検出ピンに結合されている。第3の入力端子はカードポートのアースピンQND1に結合されている。これら3つの入力端子50、52および54と出力端子42の間に結合された検出回路44は組合せ論理要素および順序論理要素等の論理回路とスイッチ素子を含む。この論理回路はスロットへのカードの挿入あるいは取り外しを検出するためのさまざまな構成要素を有する。かかる構成要素には、論理和ゲート60、JKフリップフロップ62、およびFETスイッチ64等がある。前述した構成要素はそれぞれ同等の機能を実行する同等の論理要素あるいは部品と簡単に交換することができる。また、プルアップ抵抗器70、72および91が含まれる。

【0016】図2の論理回路は、共通バスからの周辺装置の切り離しと周辺装置がこのバスに完全に接続されているかどうかを検出するように構成されている。この論理回路は周辺装置コネクタの第1および第2のカード検出ピンに結合された第1および第2の入力端子50、52において周辺装置の切り離しを検出する。第1および第2の入力端子50、52は論理和ゲート60の入力66、68に結合されている。第1の入力50は第1の抵抗器70を介して電圧源Vccに、第2の入力は第2の抵抗器72を介してやはり電圧源Vccに結合されている。論理和ゲート60の出力はJKフリップフロップ62の入力すなわちセット入力74に結合されている。第1および第2の入力50、52、論理和ゲート60、およびJKフリップフロップ62は集成的に切り離しセンサーとインジケータ回路を構成する。

【0017】この論理回路は共通バス12への周辺装置の接続を検出するように構成されている。この論理回路は周辺装置の接続を第3の入力端子54、すなわち周辺装置コネクタのアースピンQND1 33に結合されたアース端子において検出する。第3の入力端子54はJKフリップフロ

ップ62の反転K入力、すなわちクリア入力76に結合されている。この場合、このインバータはJKフリップフロップ62に内蔵されているが、JKフリップフロップがK入力を反転しなかった場合別のインバータに置き換えることができる。

【0018】この論理回路は周辺装置が共通バス12に対して接続されるあるいは切り離される時割り込み信号を提供するように構成されている。図2に示す実施例においては、JKフリップフロップ62は周辺装置の接続あるいは切り離し時にJ入力およびK入力に応じて出力Qに割り込み信号を提供する。JKフリップフロップ62はこのフリップフロップが各クロックエッジにおいて出力Qおよびその反転出力をセット、クリア、あるいは反転するようにシステムコントローラ18に結合されている。端子42はしたがって周辺装置が存在する、存在しない、あるいは挿入または取り外し中のいずれの状態であるかに応じてハイあるいはロー信号を提供するか、あるいはハイ信号とロー信号の間でトグルすることができる。

【0019】この論理回路は共通バス12上の周辺装置をコンピュータシステム10のアース86に結合するためのFETスイッチ64を有する。JKフリップフロップの反転出力80はこのFETスイッチのゲート88に結合され、周辺装置がバスに接続されるときこのFETスイッチを起動する。このFETスイッチのドレイン90は抵抗器91を介して電圧源Vccに結合され、ソース92はこのコンピュータシステムのアース86に結合されている。共通バス制御回路30のこの特徴によって、周辺装置がコンピュータシステム10に結合されるとき周辺装置の電圧アースがシステムアース86に引かれる。

【0020】動作：動作時には、本実施例の共通バス制御回路30は周辺装置の接続時および切り離し時の共通バス12上のデータの劣化を防止する。この共通バス制御回路30は共通バス12に対する周辺装置の切り離しあるいは接続を検出する。周辺装置の接続あるいは切り離しに応じて、共通バス制御回路30はこのコンピュータシステムのCPU 14にシステム割り込み信号を送って共通バス12上のデータの劣化を防止する。以下の説明は一実施例の動作をより詳細に説明するものである。この動作は本発明によるデータバス上のデータ劣化防止法を採用している。

【0021】周辺装置の切り離しを検出するために、検出回路が第1および第2の入力50、52におけるカード検出ピンCD1およびCD2の電圧レベルを検出する。これらの入力端子に結合されているとき、周辺装置はPCMCIA型式のカード検出ピンにロー論理信号を提供する。PCMCIA規格に定義するように、カード検出ピンは他のピンより短く、したがってカード検出ピンはPCMCIA RAMカード等の周辺装置をソケットから引き抜くとき最初に切り離される。第1あるいは第2のピンのうちの1つが切り離されるとき、これらの端子の電圧はプルアップ抵抗器70、

72によって引き上げられる。その結果、論理和ゲート60の出力はハイになり、この出力がフリップフロップのJ入力74に印加されてQがセットされる。このようにして、この回路はカード検出ピンのうちの1つが周辺装置から切り離されるときただちにこれを検出する。周辺装置の接続を検出するために、検出回路は第3の入力端子54を介してアースピンGND1 33の電圧を検出する。

【0022】この周辺装置接続ポートに周辺装置が接続されていないとき、アースピンGND1はVccのレベルに近い高い電圧に保持される。これはJKフリップフロップのK入力76とFET素子64がいずれもオフされており、抵抗器91に最小限の電流が流れるような高いインピーダンスが提供されているためである。データピンおよびカード検出ピンより長いアースピンGND1が周辺装置のアースレセクタクルに最初に接触するとき、それぞれがシステムアース86に接続された他の3つのアースピンのうちの少なくとも1つがこの周辺装置を介してアースピンGND1に結合される。説明を簡単にするために、図2にシステムアースSQNDXに結合された他のアースピンGND2を示す。GND1がシステムアースに結合されるのに応じて、JKフリップフロップ62の反転K入力76の電圧が一時的に降下する。この電圧が論理ローレベルに降下すると、K入力76はハイになる。このようにして、検出回路44はコンピュータシステム10のカードポート22への周辺装置の接続を検出する。

【0023】図3は共通バス12に対する周辺装置の接続および切り離し時の端子42における共通バス制御回路30の出力CD<sub>OUT</sub>を示す2つの波形100を示す。それぞれの波形の交番部分102は共通バス12上の周辺装置コネクタに対する周辺装置の切り離しあるいは接続時に検出回路44によって提供されるシステム割り込み信号を表わす。定常状態において、すなわちPCMCIAカード等の周辺装置が周辺装置コネクタに完全に接続されているかあるいは完全に切り離されているとき、検出回路44は定常的なロー信号あるいはハイ信号を提供する。したがって、検出回路44は周辺装置の切り離しと接続を表わす信号を発し、また周辺装置が共通バス12に接続されているか否かを表わす信号を発する。

【0024】図3の下側の波形104は共通バス12からの周辺装置の切り離し前、切り離し中、および切り離し後の検出回路44の出力端子42の信号を示す。たとえば、PCMCIAカードが周辺装置コネクタソケットに完全に入っているとき、カード検出ピンはいずれもローであり、JKフリップフロップ62へのJ入力74もまた両方の入力50、52の論理和結合からローとなる。このフリップフロップの反転K入力76はアース入力端子54がシステムアース86に結合されるためハイになる。システムクロック78がJKフリップフロップ62をクロックするとフリップフロップ62の出力がローにクリアされる。カードが引き抜かれると、J入力74は上述したようにハイになる。このフリップフ

ロップへの両方の入力74、76がハイであるとき、出力はJKフリップフロップ62の特性にしたがって各クロックエッジでローとハイの間でトグルする。最後に、長いアースピンが離れるとき、反転K入力76がローに降下し、J入力74がハイになると、出力信号はハイに切り替わりその状態にとどまる。このようにして、JKフリップフロップ62はCPU 14に割り込み信号を含む制御信号を提供する。

【0025】図3の上側の波形106は共通バス12からへの周辺装置の接続前、接続中、および接続後の検出回路44の出力端子42の信号を示す。長いアースピンがアース端子に接触する直前には、J入力74はハイであり反転K入力76はローである。出力は各クロックエッジでハイのままである。アースピンが第3の入力端子54に接触するとき、JKフリップフロップ62の両方の入力がハイになり、両方のカード検出ピンが接触してJ入力74がローに切り替わるまでハイの状態にとどまる。この場合も、出力はJKフリップフロップ62の両方の入力74、76がハイであるときハイとローの間でトグルする。J入力74がローになると、出力42はJKフリップフロップ62が出力42を各クロックエッジでクリアするため定常ロー信号になる。このようにして、JKフリップフロップ62は共通バス12への周辺装置の接続中割り込み信号を提供する。

【0026】図3の波形100は本発明の装置と方法によって共通バス12に対する周辺装置の切り離しおよび接続時にCPU 14に割り込み信号を提供することによって共通バス上のデータの劣化を防止する態様を例示している。波形100はいずれも例として示すに過ぎない。周辺装置の接続および切り離しはミリ秒単位で発生し、クロック速度は少なくとも10KHz程度である。図3の波形に示すパルスは4つだけであるが、周辺装置の接続および切り離し時にはさらに数個のパルスが発生することがある。

【0027】上述した詳細および特徴はここに説明する装置と方法の例を示すに過ぎず、本発明を限定するものではない。たとえば、本発明の範囲から離れることなくさまざまな論理ゲートおよび順序論理要素をこの検出回路に替えて用いることができる。システム割り込み信号はパルス列である必要はなく、共通バスに対する周辺装置の切り離しあるいは接続中の任意の特殊な信号で同等な割り込み信号を提供することができる。最後に、上述した共通バス制御回路は長いアースピンおよび短いカード検出ピンのPCMCIA規格の特徴を用いて周辺装置の接続および切り離しを検出する。しかし、周辺装置からのデータの送出前に接続および切り離しを検出する任意の装置を上述した例に替えて用いることができる。本発明は共通バスに対する周辺装置の切り離しあるいは接続時の共通バス上のデータの劣化を防止する装置を広義に開示するものである。

【0028】以上、本発明の実施例について詳述したが、以下、本発明の各実施例毎に列挙する。

【実施例1】周辺装置の接続あるいは切り離しに起因す



るコンピュータシステム10の共通バス12上の信号の劣化を防止する装置であって、前記の周辺装置が前記の共通バス12に対して電氣的に接続されるあるいは切り離される前に周辺装置の最初の動きを検出する検出器30、および検出器30にตอบสนองしてかかる最初の動きを表わす信号を生成して前記の周辺装置の接続あるいは切り離し時に前記の共通バス12を一時的に不能にすることを可能にする信号発生器62からなる装置。

【実施例2】前記の検出器30が複数のコネクタ31、32、33、35を有し、前記の検出器30が前記の共通バス12に対する周辺装置の接続あるいは切り離し時に前記のコネクタ31、32、33、35において前記の周辺装置の動きを検出するように構成されている実施例1記載の装置。

【実施例3】前記の複数のコネクタ31、32、33、35が周辺装置のめすレセプタクルと接続するように構成されたおすコネクタである実施例2記載の装置。

【実施例4】前記の複数のコネクタ31、32、33、35が周辺装置のおすコネクタと接続するように構成されたためすコネクタである実施例2記載の装置。

【実施例5】前記の検出器30が電気回路44からなる実施例1記載の装置。

【実施例6】前記の電気回路が論理回路60、62およびスイッチ素子64からなる実施例5記載の装置。

【実施例7】前記の検出器が短いコネクタ31、32と中間の共通バスコネクタを有し、前記の検出器は前記の周辺装置が前記の中間の共通バスコネクタにおいて前記の共通バス12から電氣的に切り離される前に前記の周辺装置の最初の動きを前記の短いコネクタ31、32において検出するための回路44を有する実施例1記載の装置。

【実施例8】前記の検出器30が長いコネクタ33と中間の共通バスコネクタを有し、前記の検出器30は前記の周辺装置が前記の中間の共通バスコネクタにおいて前記の共通バス12に電氣的に接触する前に前記の周辺装置の最初の動きを前記の長いコネクタ33において検出するための回路44を有する実施例1記載の装置。

【実施例9】前記の信号発生器62が、周辺装置が現在前記のバス12に接続されているかあるいはそれから切り離されているかを示す定常状態信号と前記の周辺装置が動かされている途中であることを示す交番信号を生成するための素子62を有する実施例1記載の装置。

【実施例10】前記の信号発生器62が、順序論理62からなる実施例9記載の装置。

【実施例11】周辺装置の接続あるいは切り離しに起因するコンピュータシステム10の共通バス12上の信号の劣化を防止する装置であって、短いコネクタ31、32、中間の共通バスコネクタおよび長いコネクタ33を有する端子50、52、前記の中間の共通バスコネクタが前記の共通バス12に電氣的に接触する前に周辺装置の接続を前記の長いコネクタ33において電氣的に検出し、前記の中間の共通バスコネクタが前記の共通バス12から切り離される前

に短いコネクタ31、32の切り離しを電氣的に検出するための端子50、52、54に結合された検出器30、前記の検出器30にตอบสนองしてかかる接続あるいは切り離しを示す信号を生成して、前記の共通バスコネクタが共通バス12に対して電氣的に接続あるいは切り離される間前記の共通バス12を一時的に不能にすることを可能にする信号発生器62からなる装置。

【実施例12】前記の周辺装置がPCMCIA周辺装置であり、前記の短いコネクタ31、32がカード検出コネクタであり、前記の長いコネクタ33がアースコネクタである実施例11記載の装置。

【実施例13】前記の検出器30が短いカード検出コネクタ31、32に接続されて前記の共通バス12上の周辺装置の存在あるいは不在を検出する論理回路60からなる実施例11記載の装置。

【実施例14】前記の検出器30が前記の長いアースコネクタ33に接続されて周辺装置の存在あるいは不在を検出するスイッチ素子64からなる実施例11記載の装置。

【実施例15】前記の信号発生器62が前記の周辺装置が前記のバス12上に存在するか不在であるとき定常状態出力信号を生成し、前記の周辺装置が前記のバス12に対して接続中あるいは切り離し中であるとき交番信号を生成するフリップフロップ62からなるからなる実施例11記載の装置。

【実施例16】周辺装置の接続あるいは切り離しに起因するコンピュータシステム10の共通バス12上の信号の劣化を防止する方法であって、前記の周辺装置が前記の共通バスに対して電氣的に接続されるあるいは切り離される前に前記の周辺装置の最初の動きを検出し、前記の検出に応じて、かかる最初の動きを表わす信号を生成して前記の周辺装置の接続あるいは切り離し時に前記の共通バスを一時的に不能にすることを可能にする方法。

【実施例17】実施例16記載の方法であって、前記のコンピュータシステムは短いコネクタ31、32、中間の共通バスコネクタおよび長いコネクタ33を有し、前記の検出ステップは前記の中間の共通バスコネクタが前記の共通バス12に電氣的に接触する前に周辺装置の存在を長いコネクタ33で検出し、前記の中間の共通バスコネクタが前記の共通バス12から電氣的に切り離される前に周辺装置の不在を短いコネクタ31、32で検出する方法。

【実施例18】実施例16記載の方法であって、前記の信号生成ステップはかかる接続あるいは切り離しを示す信号を生成して、前記の共通バスコネクタが前記の共通バス12に対して電氣的に接続されるあるいは切り離される間前記の共通バスを一時的に不能にすることを可能にする方法。

【実施例19】実施例16記載の方法であって、前記の信号生成ステップが前記の周辺装置が前記のバス12上に存在するか不在であるとき定常状態出力信号を生成し、前記の周辺装置が前記のバス12に対して接続中あるいは



11

切り離し中であるとき交番信号を生成する方法。

【0029】

【発明の効果】以上説明したように、本発明を用いることにより、周辺装置を接続あるいは切り離している間、活動中のコンピュータシステム中の信号の劣化を効率良く防止することができる。

【図面の簡単な説明】

【図1】共通バスを有するコンピュータシステムのアーキテクチャのブロック図である。

【図2】本発明による共通バス制御回路の概略図である。

【図3】共通バスに対する周辺装置の接続あるいは切り離し中の図2の回路の出力を示す2つの波形を示す図である。

【符号の説明】

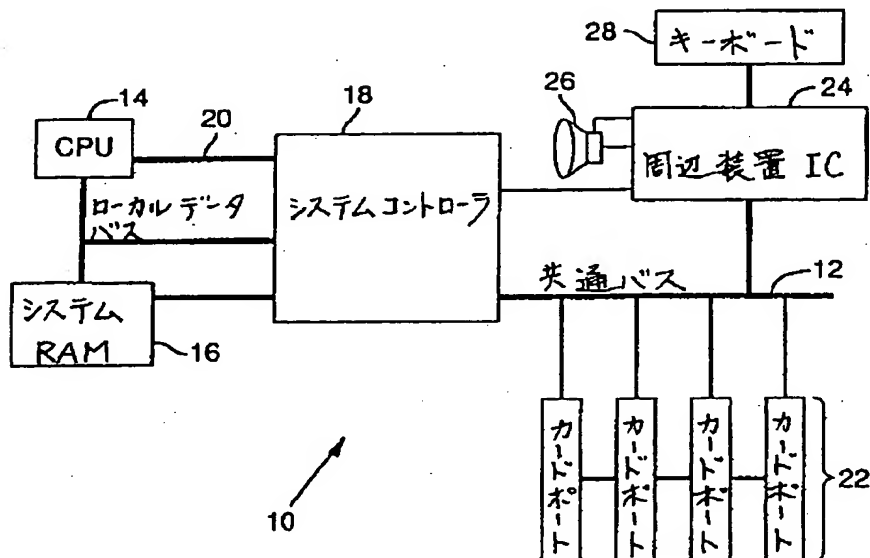
10：コンピュータシステム  
12：共通バス  
14：中央処理装置  
16：システムRAM  
18：システムコントローラ  
20：ローカルデータバス  
22：カードポート  
24：周辺装置コントローラ  
26：スピーカ制御  
28：マウスおよびキーボード用のインターフェース  
30：共通バス制御回路  
31：カード検出ピンCD1  
32：カード検出ピンCD2

12

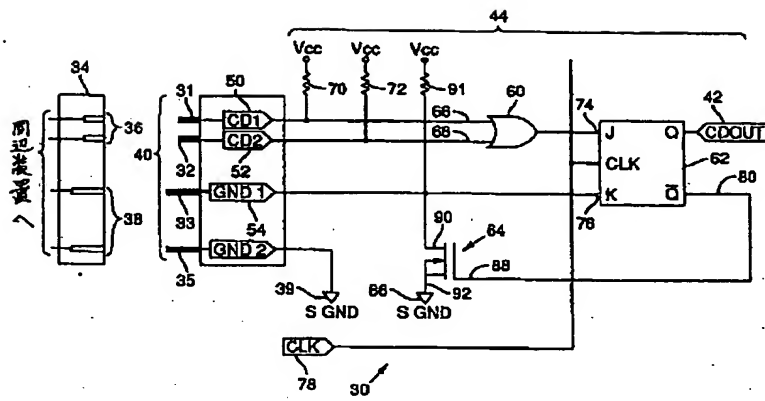
\* 33：アースピンGND1  
34：周辺装置コネクタ  
35：アースピンGND2  
36, 38：めすレセプタクル  
39：システムアースSGND  
40：入力端子  
42：出力端子  
44：検出回路  
50：第1の入力端子  
52：第2の入力端子  
54：第3の入力端子  
60：論理和ゲート  
62：JKフリップフロップ  
64：FETスイッチ  
66, 68：論理和ゲート60の入力  
70, 72, 91：プルアップ抵抗器  
Vcc：電圧源  
74：セット入力  
76：クリア入力  
80：JKフリップフロップの反転出力  
86：コンピュータシステム10のアース  
88：FETスイッチのゲート  
90：FETスイッチのドレイン  
92：FETスイッチのソース  
100：共通バス制御回路30の出力波形  
102：波形の交番部分  
106：検出回路44の出力端子42の信号波形

\*

【図1】



【図2】



【図3】

